

Camera - Application Processor間のSerial データ転送を実現するmipi alliance CSI-2規格に準拠した FPGA向け IPコア(Tx/Rx)を提供します。

特 徴

FPGAでMIPI CSI-2(Tx/RX) I/Fを実現します

FPGA版の利点

LowコストでのMIPI I/Fを実現

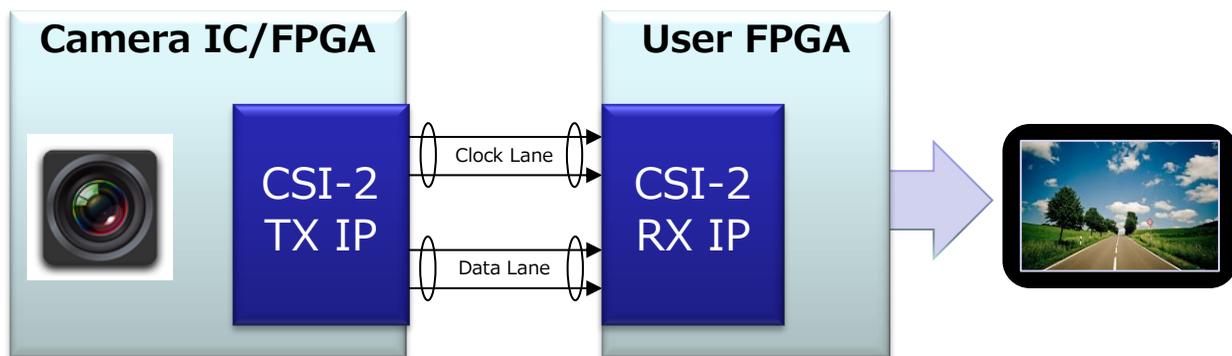
- 少量多品種のシリーズ展開が可能
- 自社開発MIPI製品の評価用途で利用可能

を追求しFPGA向けに設計

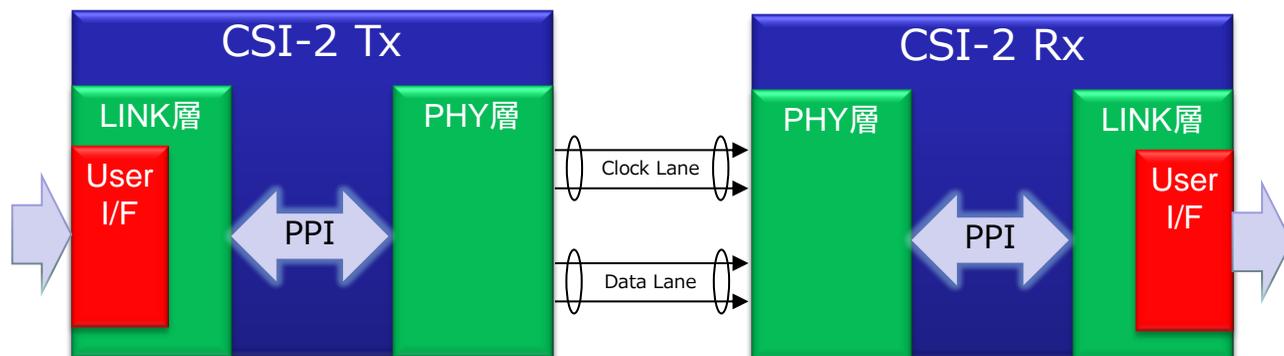
System搭載例

CSI-2 Tx搭載例 : Camera IC内で画像処理した後、MIPI CSI-2 Txで出力

CSI-2 Rx搭載例 : Camera ICデータをCSI-2 Rxで受信し、各種画像処理後ディスプレイに出力



柔軟なカスタム対応



ご要望によりUser I/F部のカスタム化、機能追加も対応可能です。

Specifications

CSI-2 IPコア基本Spec一覧

	CSI-2 TX	CSI-2 RX
Standard	mipi alliance CSI-2 v1.1 / v1.0100	mipi alliance CSI-2 v1.1 / v1.0100
	mipi alliance DPHY v1.1	mipi alliance DPHY v1.1
Clock Lane	1Lane	1Lane
Data Lane	1Lane ~ 4Lane	1Lane ~ 4Lane
Clock Mode	Continuous	Continuous Only
	Non-Continuous	
Bit Rate	Max 1.5Gbps / Lane ※1	Max 1.5Gbps / Lane ※1
Data Formats	RAW8,RAW10,RAW12,RAW14	RAW6,RAW7,RAW8,RAW10,RAW12,RAW14
	RGB565,RGB666,RGB888	RGB444,RGB555,RGB565,RGB666,RGB888
	YUV422(8bit,10bit)	Legacy YUV420(8bit),YUV420(8bit,10bit),YUV422(8bit,10bit)
	Embedded 8-bit non Image Data	Embedded 8-bit non Image Data
	User Defined Byte-based Data	User Defined Byte-based Data
	NULL、Blanking Data	NULL、Blanking Data
Escape Mode	Ultra-Low Power State(ULPS) Only	Ultra-Low Power State(ULPS) Only

※1 MIPI規格の最大速度。実際にはデバイス種別、パッケージ等により最大転送速度が異なります。

CSI-2 IPコア FPGA リソース

Cyclone V Result	CSI-2 Tx	CSI-2 Rx
Logic utilization(in ALMs)	約2,200	約2,800
Total registers	約2,300	約2,700
Total block memory bits	115K	0
Total PLLs	2	1
Total DSP Blocks	0	0

・ MAX10/Cyclone/Arria/Stratix/他シリーズも対応可能

※ MAX10,Cyclone,Arria, Stratixは Intel Corporationの登録商標です。

提供物

提供物一覧

- RTL or 暗号化RTL or Netlist
- IP機能仕様書
- IP設計仕様書
- IP検証環境(サンプルパターン)



株式会社 **シキノハイテック**

<http://www.shikino.co.jp>

E-mail : ip_sales@shikino.co.jp

■東京デザインセンター

〒105-0011

東京都港区芝公園1-1-12 芝公園電気ビルディング8F

TEL 03-5777-3340 (代)

FAX (06) 5777 - 3341