

FPGA向けMIPI CSI-2 IPコア

Camera - Application Processor間のSerial データ転送を実現するmipi alliance CSI-2規格に準拠した FPGA向け IPコア(Tx/Rx)を提供します。

特 徴

FPGAでMIPI CSI-2(Tx/RX) I/Fを実現します

FPGA版の利点

LowコストでのMIPI I/Fを実現

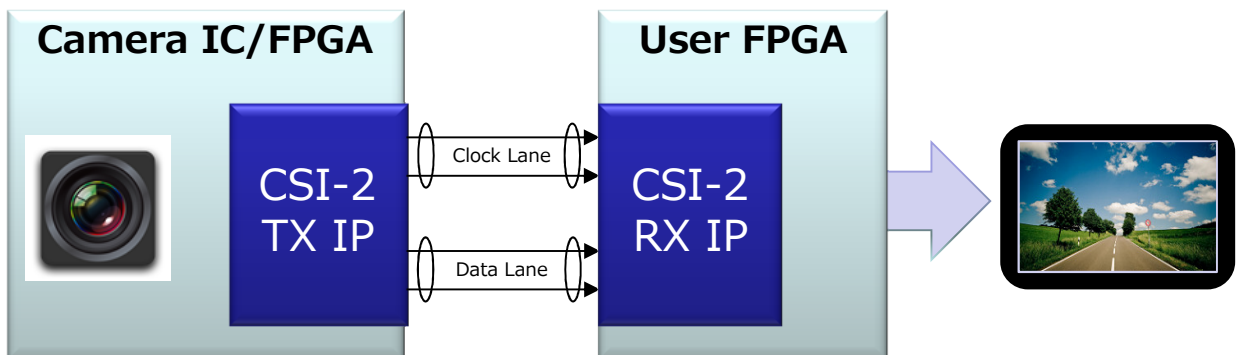
- 少量多品種のシリーズ展開が可能
- 自社開発MIPI製品の評価用途で利用可能

を追求しFPGA向けに設計

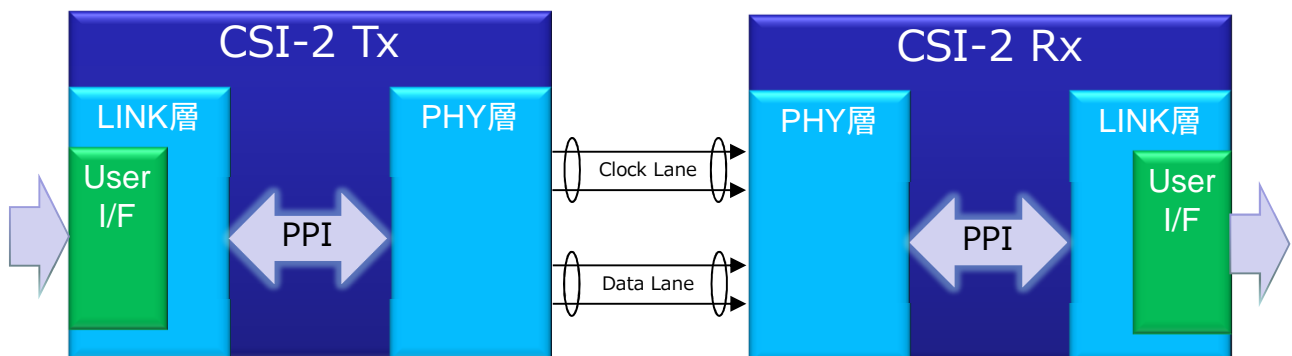
System搭載例

CSI-2 Tx搭載例 : Camera IC内で画像処理した後、MIPI CSI-2 Txで出力

CSI-2 Rx搭載例 : Camera ICデータをCSI-2 Rxで受信し、AP内で処理してディスプレイに出力



柔軟なカスタム対応



User I/F部のカスタム対応可。ご要望により機能追加も可能です。

PPI(Phy Protocol I/F)を採用している為、LINK層/PHY層のみのご提供も可能です。

Specifications

CSI-2 IPコア基本Spec一覧

	CSI-2 TX	CSI-2 RX
準拠規格	mipi alliance CSI-2 v1.1 / v1.0100	mipi alliance CSI-2 v1.1 / v1.0100
	mipi alliance DPHY v1.1	mipi alliance DPHY v1.1
Clock Lane	1Lane	1Lane
Data Lane	1Lane ~ 4Lane	1Lane ~ 4Lane
Clock Mode	Continuous	Continuousのみ対応
	Non-Continuous	
Bit Rate	500Mbps / Lane	500Mbps / Lane
Data Formats	RAW8,RAW10,RAW12,RAW14	RAW6,RAW7,RAW8,RAW10,RAW12,RAW14
	RGB565,RGB666,RGB888	RGB444,RGB555,RGB565,RGB666,RGB888
	YUV422(8bit,10bit)	Legacy YUV420(8bit),YUV420(8bit,10bit),YUV422(8bit,10bit)
	Embedded 8-bit non Image Data	Embedded 8-bit non Image Data
	User Defined Byte-based Data	User Defined Byte-based Data
	NULL、Blanking Data	NULL、Blanking Data
Escape Mode	Ultra-Low Power State(ULPS)のみ対応	Ultra-Low Power State(ULPS)のみ対応

CSI-2 IPコア FPGA リソース

※詳細はお問合せください。

提供物

提供物一覧

- RTL or Netlist(IP評価用途として1時間Timer付でのリリースも可)
- IP機能仕様書
- IP設計仕様書
- IP検証環境(サンプルパターン)



<http://www.shikino.co.jp>

E-mail : ip_sales@shikino.co.jp

■東京デザインセンター

〒105-0011

東京都港区芝公園1-1-12 芝公園電気ビルディング8F

TEL 03-5777-3340 (代)

FAX (06) 5777 - 3341